

双通道自整角机数字转换器采样的时序控制

于晓宁

(第七一三研究所, 郑州 450015)

摘要 详述了 DSP 芯片 TMS320F2812 与双通道自整角机数字转换器的时序特点, 分析了接口时序的匹配问题, 探讨了 TMS320F2812 扩展数字转换器的软、硬件设计, 并提供了示波器观测波形图。

关键词 TMS320F2812 自整角机数字转换器 时序匹配 片外扩展

中图分类号 TM932; **文献标志码** A

为了提高系统的实时性和可靠性, 控制系统的主控芯片频率越来越高, 比如美国德州仪器公司(TI 公司)推出的 TMS320F2812 采用 32 bit 操作大大提高了处理能力, 主频可以工作在 150MHz(时钟周期可达 6.67 ns), 其先进的内部和外设结构使得该处理器主要用于大存储管理、高性能的控制场合^[1]。这种高频控制芯片通常能够实现与常用外围芯片的时序匹配, 如 RAM, D/A, NET 等。但是, 当遇到读、写周期十分缓慢的双通道自整角机数字转换器, 就需要设计相应的软、硬件使接口时序相匹配, 否则转换器不能正常工作。

1 TMS320F2812 的读写时序

在 TMS320F2812 中, 对外部设备的读写访问都是通过外部接口(XINTF)实现的, 外部接口模块具有独立的访问地址, 映射到 5 个独立的固定存储空间: XZone0、XZone1、XZone2、XZone6、XZone7^[2]。当访问相应的存储空间时就会产生一个片选信号, 有些存储空间的片选信号在内部“与”在了一起, 组成了一个共享的芯片选择, 比如 XZone0 和 XZone1 共享一个片选信号 $\overline{XZCS0AND1}$, XZone6 和 XZone7 共享一个片选信号 $\overline{XZCS6AND7}$, 如果希望区分这样两

个存储空间可以根据地址的不同增加外部译码逻辑控制。

外部接口的 5 个独立的固定存储空间的每一个区都可以独立配置各种参数, 能够灵活地进行外部扩展。外部接口对外设进行读写访问的基时钟是 XINTF 内部时钟 XTIMCLK, 通过写 XINTFCNF2 寄存器的 XTIMCLK 位, 可以将该时钟配置成等于 SYSCLKOUT 或 SYSCLKOUT/2。对任何一个映射在 XINTF 区的外部器件进行读写访问都可划分为三个阶段: 建立阶段、激活阶段和跟踪阶段。可以通过相应的 XTIMING0/1/2/6/7 寄存器来设置这三个阶段的周期, 使之满足系统的需要^[3]。

外部接口的读写时序如图 1 所示, 在建立阶段, 被访问区的片选信号变为低电平, 地址被放置在地址总线上, 建立情况下的周期总数可以在该区的 XTIMMING 寄存器中通过对 XTIMCLK 周期的配置来确定, 默认情况下该阶段的周期为最大值——6 个 XTIMCLK(如果将 XTIMCLK 的频率设置为等于 SYSCLKOUT/2, 则 6 个 XTIMCLK 周期为 80ns)。在激活阶段, 对外部器件进行访问, 读访问时, 读选通($\overline{RD}$)变低并将数据锁入 DSP。写访问时, 写使能($\overline{WE}$)选通变低并将数据放入数据总线上。默认情况下该阶段的周期为最大值——14 个 XTIMCLK(如果将 XTIMCLK 的频率设置为等于 SYSCLKOUT/2, 则 14 个 XTIMCLK 周期为 187ns)。在跟踪阶段, 读写选通信号变回高电平, 但其地址仍保持有效。默认情况下该阶段的周期最大值——6 个

2011 年 1 月 17 日收到

作者简介: 于晓宁(1979—), 女, 中船重工集团第七一三研究所工程师, 硕士, 研究方向: DSP 控制系统开发。

XTIMCLK 周期。

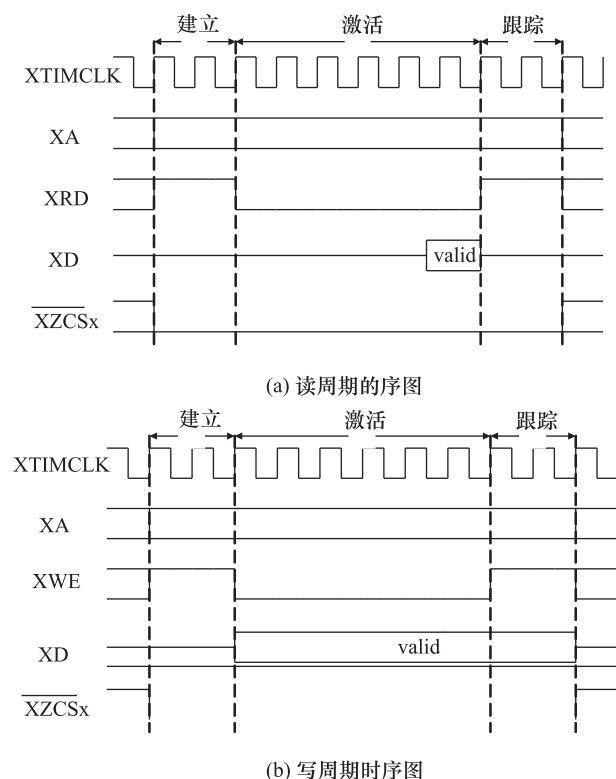


图1 TMS320F2812 读写时序

2 双通道自整角机数字转换器的读写时序

双通道自整角机数字转换器广泛应用于数字伺服控制系统中,它内部的两个通道具有独立的参考电压和输入信号,它的输出数据是通过 14 位输出锁存器与外部的数据总线连接,双通道公用,数据读取时无需中断转换过程,通道的选择是用 $A/\bar{B}$ 和 $\overline{OE}$ 两个控制线进行操作。

数据传送时序图如图 2 所示。图中 $\overline{OE}$ 是输出使能输入信号,低电平有效,当 $\overline{OE}$ 为高电平时, $ASD_0 \sim ASD_{13}$ 为高阻态,当 $\overline{OE}$ 为低电平 640 ns 后数据有效, $\overline{OE}$ 由低电平变为高电平后,高阻态延迟 200 ns。 $A/\bar{B}$ 引脚是通道选择输入端,逻辑高电平选中 A 通道,逻辑低电平选中 B 通道,通道选通时间为至少 200 ns,在 $A/\bar{B}$ 稳定 640 ns 后数据有效。

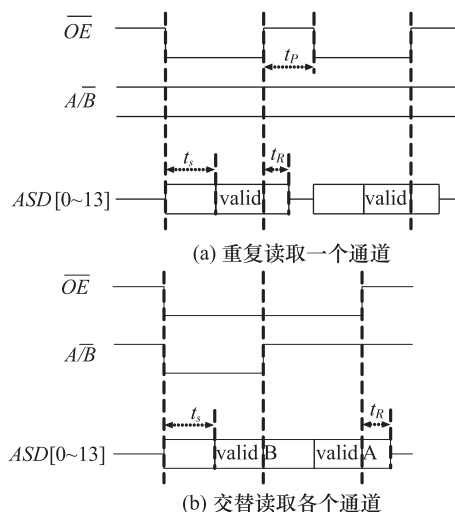


图2 数字转换器读写时序

3 双通道自整角机数字转换器采样模块的设计与实现

TMS320F2812 对自整角机数字转换器进行连续的读、写操作时,两个连续的读、写周期之间的时间间隔为上一个操作的跟踪阶段和这一个操作的建立阶段,最大为 12 个 XTIMCLK 周期(如果将 XTIMCLK 的频率设置为等于 SYSCLKOUT/2,则 12 个 XTIMCLK 周期为 160ns),而转换器的时序要求,片选信号使能后至少保持 640 ns,可见 TMS320F2812 与转换器的时序不匹配,必须采取措施才能满足要求。

设计的双通道自整角机数字转换器采样模块结构示意图如图 3 所示。系统中的主控芯片即为高频控制芯片 TMS320F2812,它的作用为:第一,向逻辑控制电路输出被访问外设的地址和读、写等相关控制信号;第二,通过数据总线完成与外部逻辑电路控制单元的数据交互并对读取进来的数据进行处理。逻辑电路控制单元是主控芯片和双通道自整角机数字转换器的桥梁,它需要完成的任务:第一,将主控芯片输出的地址和读、写等相关控制信号通过逻辑关系转换为满足自整角机数字转换器时序要求的控制信号;第二,将数字转换器的数据实时反馈给主控芯片。从原理上来说,逻辑电路控制

单元可以通过通用的数字集成电路来搭建,但因体积庞大,且调试、修改不方便而放弃采用。在这里应用复杂可编程逻辑器件(CPLD)实现逻辑电路控制,其不但集成度高、可靠性强,还可重复编程^[4]。

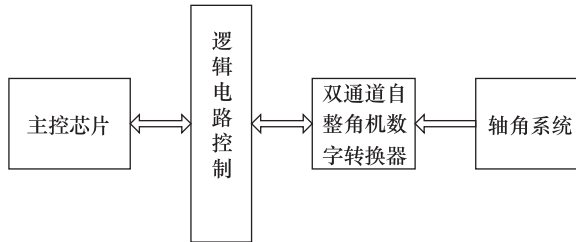


图3 采样模块结构

3.1 采样模块的硬件设计

系统中的 DSP 和 SDC 之间的逻辑关系通过 CPLD 来实现,硬件设计图如图 4 所示。DSP 分配给 SDC 单元的为 0 区地址,故 DSP 的片选信号 $\overline{XZCS0AND1}$ 与 CPLD 的输入信号 $\overline{XZCS01}$ 连接, DSP 的地址线 $A_0 \sim A_{18}$ 与 CPLD 的输入引脚 $A_0 \sim A_{18}$ 相连,读写控制信号 $\overline{WE}$ 、 $\overline{RD}$ 、 $R/\overline{W}$ 分别跟相应的 CPLD 输入信号连接。数据线是双向的,连接 DSP 数据线的 CPLD 引脚 $D_0 \sim D_{15}$ 也是可以双向传输的。CPLD 的输出引脚 $\overline{SDCOE}$ 与 SDC 的片选信号 $\overline{OE}$ 连接,低电平使能 SDC 芯片。SDC 是 14 位的转换芯片,SDC 的 14 位数据线 $ASD_0 \sim ASD_{13}$ 连接 CPLD 的输入引脚 $ASD_0 \sim ASD_{13}$ 。CPLD 的输出引脚 $\overline{SDCXZ}$ 与 SDC 的通道选择引脚 $A/\overline{B}$ 相连,高电平时 SDC 的 14 根数据线上送出的是第一路模拟通道的转换数据,低电平时则为第二路模拟通道的数据。SDC 的 $\overline{BIT}$ 引脚为转换器内部误差检测输出端,它提供了一个指示由 $A/\overline{B}$ 所选通道出错的信号,如果是低电平,表示此时数据是无效的,它连接 CPLD 的输入引脚 $\overline{BIT}$ 。

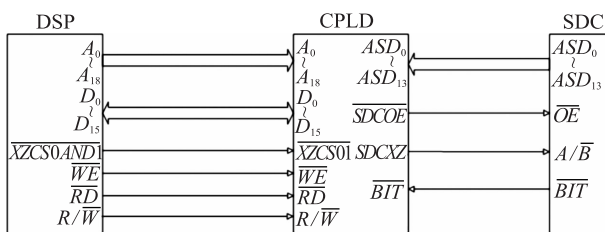


图4 采样模块硬件设计图

3.2 逻辑控制器件的软件设计

DSP 分配给 SDC 单元的为 0 区地址:第一通道 0x002100,第二通道 0x002102,另外为了满足时序的要求,定义一个禁止 SDC 片选使能的地址 0x00210F。当 DSP 访问通道地址时, $A_0 \sim A_{18}$ 输出地址的低 19 位, $\overline{XZCS01}$ 和 $\overline{RD}$ 输出低电平。检测到 $\overline{XZCS01}$ 为低电平且 $A_0 \sim A_{18}$ 为 0x2100 时,CPLD 的 $\overline{SDCOE}$ 引脚输出低电平,使能 SDC 芯片, $\overline{SDCXZ}$ 引脚输出为高电平,选通第一通道;检测到 $\overline{XZCS01}$ 为低电平且 $A_0 \sim A_{18}$ 为 0x2102 时,CPLD 的 $\overline{SDCOE}$ 引脚输出低电平,使能 SDC 芯片, $\overline{SDCXZ}$ 引脚输出为低电平,选通第二通道;检测到 $\overline{XZCS01}$ 为低电平且 $A_0 \sim A_{18}$ 为 0x210F 时,CPLD 的 $\overline{SDCOE}$ 引脚置高;同时,检测到 $\overline{XZCS01}$ 为低电平且 $A_0 \sim A_{18}$ 为 0x2100 或 0x2102 时,CPLD 通过输出引脚 $D_0 \sim D_{13}$ 将输入引脚 $ASD_0 \sim ASD_{13}$ 上的数据传送到 DSP 的低 14 位数据线 $D_0 \sim D_{13}$ 上,通过输出引脚 D_{14} 将输入引脚 $\overline{BIT}$ 上的信号上传给 DSP 的次高位数据线 D_{14} 上,作为是否使用该数据的判断。可编程逻辑控制器件的软件是用 VHDL 语言实现的,部分程序如下:

```

if( xzcs01 = = 1'b0)
begin
case (a)
19'b000_0010_0001_0000_0000 :
begin
sdcoe = 1'b0;
sdcxz = 1'b1;
end
.....
assign d[13:0] = (xzcs01 = = 1'b0)? asd[13:0]:14'bzz_zzzz_
zzzz_zzzz;
assign d[14] = ((xzcs01 = = 1'b0) && (a = = 19'b000_0010_
0001_0000_0000)) ? bit:1'bz;
.....

```

3.3 DSP 对采样模块的编程

TMS320F28125 本身带有优化 C 语言编译器,可以直接用 C 语言来开发芯片。用 C 语言来开发 DSP 芯片可以使芯片的开发速度大大提高,也使得程序的修改和移植变得十分方便。

实现 2812 中采样模块数据采集的 C 语言编程,

以单通道为例步骤如下:

(1)禁止 SDC 片选使能,也即置高 SDC 的 $\overline{OE}$ 引脚,更新转换数据

* 0x210F = 0;

(2)为了使 SDC 芯片有足够的时间更新数据,延时 1 μ s

DelayUs(1);

(3)访问第一通道地址,使 SDC 的通道选择引脚 A/B置高,同时置 $\overline{OE}$ 引脚为低电平

* 0x2100 = 0;



(a) 采集单通道数据曲线



(b) 交替采集双通道数据曲线

图5 示波器观测波形图

(4)为了满足 SDC 芯片 $\overline{OE}$ 引脚从高变低至少保持 640ns 的要求,延时 1 μ s

DelayUs(1);

(5)采集第一通道的转换数据

data0 = *0x2100;

4 试验结果

在实验室搭建了一个试验环境,对此系统原理进行了验证,效果良好。用示波器观测到的波形如图5所示,第一路测试的是 DSP 上 $\overline{RD}$ 引脚,第二、三路测试的是 SDC 上的 A/B、 $\overline{OE}$ 引脚。从波形图中可以看出满足 DSP 和 SDC 的时序要求。

5 结束语

设计的双通道自整角机采样系统,工作稳定可靠,为 TMS320F2812 与外部慢速设备时序匹配的方法,该方法简单清楚、访问直接、控制编程容易,有助于该芯片的进一步推广应用。

参考文献

- 1 苏奎峰,吕强,耿庆锋,等. TMS320F2812 原理与开发. 北京:电子工业出版社,2005
- 2 Texas Instruments Incorporated. TMS320F2812 Digital Signal Processors Data Manual. <http://www.ti.com>. 2003
- 3 Texas Instruments Incorporated. TMS320F28x External Interface (XINTF) Reference. <http://www.ti.com>. 2003
- 4 赵曙光,郭万有,杨颂华. 可编程逻辑器件原理、开发与应用. 西安:西安电子科技大学出版社,2001

Research of the Timing Control of Dual-channel Synchro Digital Converter in the High-frequency Control System

YU Xiao-ning

(713 Research Institute, Zhengzhou 450015, P. R. China)

[Abstract] The TMS320F2812 DSP chip and dual-channel synchro digital converter timing characteristics are detailed and the matching of interface timing is analyzed. The expansion TMS320F2812 digital converter hardware and software design is discussed. The oscilloscope to observe waveforms are provided.

[Key words] TMS320F2812 synchro digital converter timing match extension