

步进和量化调整的数字锁相法快速位同步

张 昆 桂延宁 杨 燕 胡建军

(西安机电信息技术研究所, 西安 710065)

摘 要 针对传统超前—滞后型数字锁相环实现同步速度较慢的缺点,提出了一种基于步进和量化调整的数字锁相法的快速位同步方法。该方法在 FPGA 平台上,通过综合使用步进和量化两种方式,来控制每个工作周期中分频器的脉冲调整数量,利用本地高频时钟进行二级分频得到输出的位同步信号。仿真结果表明基于 FPGA 的位同步系统能够稳定、快速的完成位同步功能,在保证系统稳定性的同时,值极大地缩短了系统的同步建立时间。

关键词 数字锁相环 快速位同步 FPGA

中图法分类号 TN763; 文献标志码 A

同步是数字通信领域中非常重要的技术。一般数字通信系统要实现多种同步才能正确完成整个通信过程,而位同步就是其中至关重要的一个环节。关于位同步,通常采用的有外同步法和自同步法两种方案。外同步法实现位同步就是在传输的信号中插入位同步信息,需要占用频带资源,一般不常用。自同步法是从信号流中提取位同步信息,又称为直接法,一般分为滤波法和锁相法^[1]。

超前-滞后型数字锁相环法,是一种典型的自同步方式实现位同步的方法。早先的超前-滞后型数字锁相环由分立元件构成,由于分立元件本身的限制,超前-滞后数字锁相环有着建立同步速度较慢的缺点^[2]。针对这一点,提出了在FPGA平台上基于步进和量化调整的数字锁相法的快速位同步方法。

1 算法原理

1.1 超前-滞后数字锁相门原理

超前-滞后数字锁相门法是一种典型的数字通

信系统中用于完成位同步的方法。其基本原理如图 1 所示。

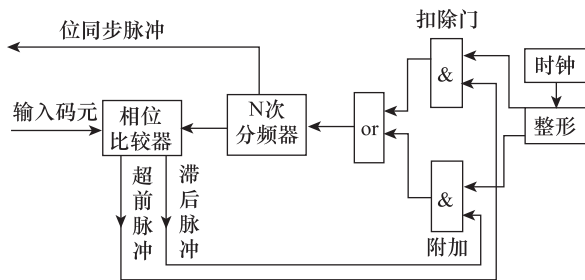


图 1 数字锁相原理图

超前-滞后数字锁相环由本地晶振、分频器、相位比较器和控制器组成。晶振经过整形后变为周期性脉冲,然后送入分频器,输出位同步脉冲信号。若要求接收码元的速率为 $F(\text{Hz})$,则要求位同步脉冲的速率也为 $F(\text{Hz})$ 。晶振的频率设计为 $nF(\text{Hz})$,经 n 次分频后就可以得到重复频率为 $F(\text{Hz})$ 的位同步信号。当输出位同步信号相对输入码元超前或滞后时,控制器中的扣除或附加门打开,通过调整分频器中脉冲的个数来逐步实现同步^[3]。

这种传统的数字锁相环,一个码元周期只能加或减一个脉冲。随着外信号的不断输入,环路经过多次调整才能建立同步。针对这一点,现提出步进式调整和量化调整幅度两种改进方法。

1.2 FPGA 实现位同步

基于 FPGA 的超前-滞后数字锁相法的位同步原理如图 2 所示,图中的本地时钟经过固定模分频器和可变模分频器后输出一个与输入码元同频的位同步信号,由控制器来判断这一输出信号和输入码元是否同相位(即同步),如果不同步,判断出超前或者滞后,再通过更改可变模分频器的分频值来逐步实现位同步^[4]。本地高频时钟频率为 F ,输出位同步信号频率为 F_{out} ,固定模分频器分频值为 N_1 ,可变模分频器分频值为 N_2 。有 $F = N_1 N_2 F_{out}$ 。 N_2 的初始值由所需要的相位精度确定,现选定 N_2 初始值为 100, N_1 经计算得到。

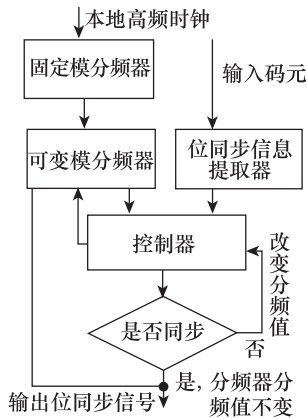


图 2 FPGA 实现位同步算法

1.2.1 位同步基准提取器

由于非归零码所占带宽要比归零码小一半,所以通常所使用的数字信号是非归零码。非归零码中不包含位同步信息,所以要经过位同步信息提取电路来获取定时信息。传统的算法是对信号进行微分整流来提取边沿信息,综合 FPGA 的设计特点,如图 3 所示,一个简单的位同步信息提取电路由一个 D 触发器和一个异或门构成。

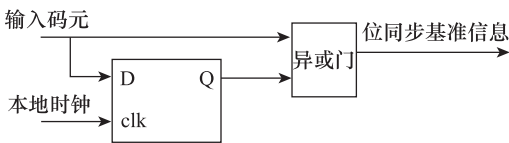


图 3 位同步基准提取电路

1.2.2 可变模分频器

可变模分频器是一个计数方式的分频器,其模数也就是分频值决定了位同步过程的相位精度。分频值的更改就相当于附加或扣除了输出位同步信号该周期内的脉冲数(一个脉冲宽为上级输出时钟的一个周期)。设 $setn$ 为分频值控制字,初始值为 99,初始输出为一个占空比 1:1 周期为 100 倍上级分频器输出的脉冲信号。使用计数方式输出位同步信号,系统复位时输出置“0”,计数 0 到 49 输出“0”,49 到 $setn$ 输出为“1”,计数到 $setn$ 时输出置“0”,内部计数变量 $count$ 置“0”,完成一个工作周期,输出一个周期的位同步信号。

1.2.3 控制器

当控制器接收到位同步基准信号的上升沿时,比较这一时刻的计数值 $count$ 是否等于 49, $count$ 由可变模分频器同步输出给控制器。等于 49 时,输入信号与输出同步信号上升沿重合,达到同步。小于 49 时,输出信号滞后于输入信号, $setn$ 置为 98。大于 49 时,输出信号超前于输入信号, $setn$ 置为 100。输入码元和输出位同步信号的相位关系如图 4 所示。在控制器的控制下可变模分频器每一个工作周期可以针对超前或者滞后情况调整一个脉冲数,与传统超前-滞后型数字锁相门的工作原理相同。

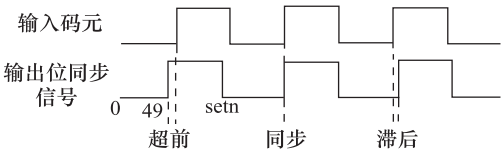


图 4 输入输出信号相位关系

2 基于步进和量化调整的数字锁相法实现位同步

在 FPGA 器件上实现位同步时,如果采用上述完全类比于传统超前-滞后数字锁相门的工作方式,在控制器判决出超前或者滞后之后,在可变模分频器的每个工作周期只能加或减一个上级输出时钟。如果输入信号和位同步输出信号初始相位相差较大,需要调整多次才能实现同步,以 $setn$ 初始 99 为

例,极限情况下可能需要调整 49 次,这样同步建立时间较长,影响电路性能和信码正确判决与接收。由此为了减少初始位同步建立时间,需要对控制器加以改进。改进方法有步进式和量化式两种改进方法。

2.1 步进式调整

步进式调整就是在输入输出信号相位差在某个范围内时,适当地加大对分频值的调整幅度。具体做法就是在对控制器编程时,增加更多的比较控制环节。还是以 setn 初始值 99 为例,当出现位同步基准信号的上升沿时的 $count < 29$ 时,滞后 20 个本地时钟以上, setn 置为 79;当 $29 \leq count < 46$ 时,滞后 5 个时钟以上, setn 置为 96;当 $46 \leq count < 49$ 时, setn 置为 98。同理,对超前情况加以改进,就能实现基于步进式调整的超前-滞后型数字锁相法的位同步。

2.2 量化式调整

另一种改进方法是通过调用 ISE 中的加法 IP 核,做运算“ $count - 49$ ”,返回得到一个量化的调整幅度。从而精确控制分频器分频值 setn,在分频器一个工作周期内完成位同步。需要注意的一点是当分频器调整的幅度过大时,应该加入一个防止过调整的控制字,用来避免从超前状态调整到滞后状态之类的情況发生。因为一个分频值控制字 setn 的重置周期并不一定对应于一个分频器工作周期。

2.3 综合改进方案

本文综合上述方法,在 reset 复位信号有效后出现的第一个位同步基准信号时,进行初始同步,即进行一次精确地量化调整。之后进入正常工作状态,进行同步跟踪以及失锁后的再次锁定。此时进行步进式调整,当相位差大于 20 个脉冲时,一个工作周期调整 20 个脉冲,当相位差大于 3 小于 20 个脉冲时,一个工作周期调整 3 个脉冲,相位差小于 3 个脉冲时,一次调整一个脉冲。

每当进行精确调整,或者一次调整 20 个脉冲之后,防止过调整的控制字有效,控制分频器在下一个工作周期之前把 setn 置为 99,等待下个有效地 setn 出现。

3 仿真实证

在 ISE 环境下使用 Modelsim 软件对整个工程进行逻辑仿真。未改进前的算法其仿真结果如图 5 所示。

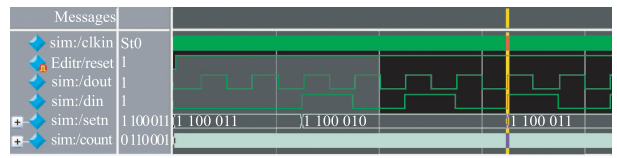


图 5 未改进算法的仿真波形

图中 din 是位同步基准信号, dout 是输出位同步信号, setn 是可变模计数器的分频值控制字, count 是控制器用于超前滞后判决的计数变量。图 5 直观地反应了数字锁相的工作过程,说明了整个系统能正确地完成位同步。图中的输入信号和输出信号的初始相位差并不大,只有 4/100 个码元周期,但是需要 4 个工作周期来完成同步。

改进后的算法仿真结果如图 6 所示。在图中第一次出现位同步基准信号时,初始相位误差为 30/100 个码元周期,分频值控制字被置为 69,在分频器的一个工作周期内完成同步。考察之后出现的一个位同步基准信号,此时的输出信号超前不到 20 个脉冲宽度,先经过 4 次幅度为 3 个脉冲的调整,后经过一次 1 个脉冲的调整达成同步。图 6,表明了改进后的位同步算法,能在一个工作周期内完成初始同步,并且能很快地完成失锁之后的再次同步锁定。

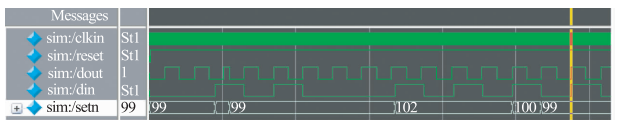


图 6 改进算法的仿真波形

4 结束语

提出了一种基于 FPGA 的快速位同步的实现方法,通过综合使用步进和量化两种方式,来改变每

个工作周期中分频器的脉冲调整数量。并且将本地高频时钟进行二级分频得到输出的位同步信号。仿真结果表明基于 FPGA 的位同步系统能够稳定、快速的完成位同步功能,在保证系统稳定性的同时,值极大地缩短了系统的同步建立时间。

参 考 文 献

1 田 耘,徐文波. Xilinx FPGA 开发实用教程. 北京:清华大学出

版社,2008

2 管立新. 基于 FPGA 的快速位同步设计. 微计算机信息,2008;24(2-2):185—186
3 李肃刚,杨志家. 一种改进的全数字锁相环设计. 微计算机信息,2005;9-1:42—43
4 麦 文,鲍景富. 一种快速位同步的 VHDL 实现. 四川师范大学学报(自然科学版)2006;29(5):621—624

Fast Bit Synchronization of Digital Phrase Lock Adjusted by Step and Quantified

ZHANG Kun, GUI Yan-ning, YANG Yan, HU Jian-jun
(Xi'an Institute of Electromechanical Information Technology, Xi'an 710065, P. R. China)

[Abstract] Traditional lag-lead synchronous digital PLL shortcomings slow. In order to solve this problem, a method for FPGA-based realization method of fast bit synchronization is proposed. It worked in two ways by step and quantified, for changing in each work cycle to adjust the pulses number of divider. Twice divided the local high-frequency clock to output the synchronization signal. Programmed with VerilogHDL. Designed the modules, compiled and simulated in ISE. The simulation result presents this method can realize fast bit synchronization.

[Key words] DPLL fast bit synchronization FPGA