

基于 CMOS 工艺的 10 位逐次逼近型模数转换器设计分析*

季红兵

(南通大学 电子信息学院, 江苏 南通 226007)

摘要:逐次逼近型模数转换器由于性能折衷而得到了广泛的应用。其中,比较器和数模转换器的精度和速度极大地限制了整个系统的性能。因此,具有失配校准功能的比较器是逐次逼近型模数转换器的关键。设计了 10bit 逐次逼近型模数转换器中的比较器,对比较器的电路结构和工作原理有较详细的论述。

关键词:逐次逼近型模数转换器,比较器,数模转换器

中图分类号: TN792 **文献标识码:** A **文章编号:** 1671-5322(2006)04-0042-04

由于大规模超大规模集成电路的迅速发展及数字信号传送和处理越来越明显优越于模拟信号,数字信息处理设备得到了更广泛的应用,作为数字信号和模拟信号的接口的 AD 转换器就成为各种数字系统中不可缺少的重要组成部分,其性能直接影响到整个系统的性能。所以国家高技术发展计划将高性能模数转换器作为一个研究方向来进行立项,而流水线型 ADC 是一种在中等规模芯片面积的前提下能同时满足高速和高精度的一种常用结构。

模拟数字转换器的用途非常广泛,最常见的是应用在数字式仪表、遥测装置、过程控制和调节、数字电话、数码相机、数字示波器、瞬态信号测试、视频图像采集、扫描仪等领域。而且 ADC 在一些常常被认为是纯数字的领域中也得到了应用。比如数据的存储。随着磁盘存储密度的增加,只读电路处理的信号已经越来越呈现模拟信号的特性,对模数转换器的研究也越来越广泛。

1 数转换器的各种结构及研究现状^[1]

A/D 转换器主要有快闪型、逐次逼近型、流水线型、 $\Sigma - \Delta$ 型模数转换器等类型。

快闪型 A/D 转换器 (Flash ADC) 的主要优点

是速度快,通常可以达到 GHz 量级。但是由于电路中比较器的数量太大 (2^N 个),为了减少比较器的个数,一般不超过 8bit。因此具有精度不高,功耗大,成本高等缺点。

流水线型 A/D 转换器 (pipeline ADC) 是模数转换器中性能比较好的一种方案。它的速度可以达到几十至上百 MHz,精度可以达到 10bit 以上。是用得比较广泛的一种模数转换器。

$\Sigma - \Delta$ 型 A/D 转换器 ($\Sigma - \Delta$ ADC) 的主要优点是精度高,最高可以达到 24bit,这也是现在 ADC 可以达到的最高精度。但是它的转换速度比较低,通常在几十至几百 kHz,最高在几 MHz。

逐次逼近型 A/D 转换器 (successive-approximation ADC 或 SAR ADC) 的性能比较折衷,也是广泛采用的一种模数转换器。一般精度在 8~16bit,速度在几 MHz 数量级,并且具有低功耗、省芯片面积的特点。逐次逼近型 A/D 转换器是采样速率低于 5Msps 的中等至高分辨率应用的常见结构。逐次逼近型 A/D 转换器实质上是实现一种二进制搜索算法。所以,当内部电路运行在数兆赫兹时,由于逐次逼近算法的缘故,ADC 采样速率仅是该数值的几分之一。SAR ADC 的一个

* 收稿日期:2006-09-27

作者简介:季红兵(1966-),男,江苏南通市人,南通大学电子信息学院教师,东南大学 IC 学院在职硕士研究生,主要研究方向为集成电路设计与分析。

特点是:功率损耗随采样速率而改变,这一点与快闪ADC或流水线ADC不同,后者在不同的采样速率下具有固定的功耗。这对于低功耗应用或者不需要连续采集数据的应用非常有利。

2 逐次逼近型模数转换器的结构及工作原理

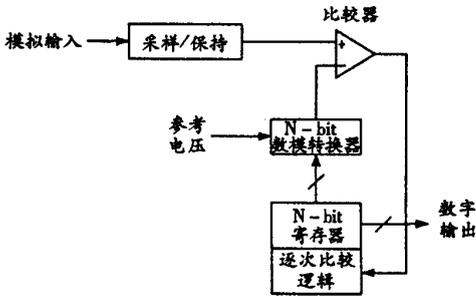


图1 SAR ADC的典型结构

Fig.1 The typical structure of SAR ADC

SAR ADC 主要由采样/保持电路 (Track/Hold)、比较器 (Comparator)、数模转换器 (DAC)、寄存器 (Register)、逐次比较逻辑 (SAR Logic) 等模块构成。

在进行一个模拟数据的转换时,首先由采样保持电路对模拟输入进行采样,并保持在比较器的一端。在比较的第一个周期中,将寄存器中的最高位置1,其它位置0,通过DAC模块进行数模转换后再和采样的模拟量比较。如果模拟量大于数字量的数模转换值则在寄存器中的最高位值确定为1,反之则确定为0。在比较的第二个周期中最高位已经确定,将寄存器中的次高位位置1,其它低位0,经过数模转换后和模拟量比较,从而得到次高位的值,以后各位依此方法确定各自的值,直到最后一位确定后再将寄存器中的数据输出。寄存器置数操作由逐次比较逻辑模块控制。

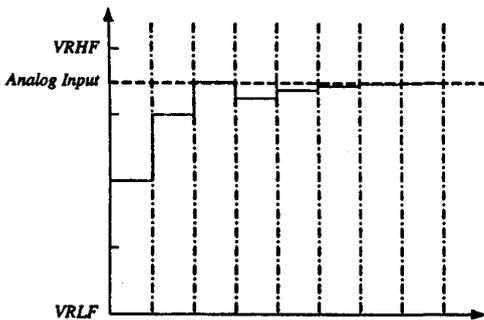


图2 SAR ADC 典型比较时序

Fig.2 The typical comparing sequence of SAR ADC

实际上许多 SAR ADC 的结构和比较时序和上述的典型结构和时序有一些不同。DAC 模块可以采用电容电荷分配式结构,这样采样/保持电路可以内置在 DAC 模块中。模拟输入和数字量数模转换后数据的比较不一定需要在比较器的两端进行,正如这次设计中所采用的电路,可以提供较高的共模抑制作用。数字量的输出也可以采用串行输出的方式。在 SAR ADC 的比较时序中也有些不同的方案。正如设计中的转换器安排了补偿位,从而提高了转换的速度和精度。

3 SAR ADC 性能分析

在 SAR ADC 中,比较器和数模转换器是比较重要的模块。这体现在速度、精度和功耗三个方面。

由于 SAR ADC 采用逐位比较的方法,转换时间相对于快闪型和流水线型 ADC 来说比较长。除算法的限制外,模数转换器的速度主要受以下几个因素的影响:

- (1) DAC 的建立时间。其中主要是 DA 高位数据的建立时间。
- (2) 比较器比较出输入端数据的时间。
- (3) 逻辑电路工作的时间。

模数转换器的精度主要受以下三个方面的限制:

- (1) D/A 转换器的精度。
- (2) 比较器的精度。比较器必须具有和系统同样的精度 ($\pm 0.5LSB$)。
- (3) 采样/保持电路的精度。

在模数转换器的功耗方面,由于其它模块大都是数字电路,对功耗的影响不大,所以系统功耗主要受制于 DAC 和比较器部分。因此,数模转换器和比较器的性能直接决定着 SAR ADC 的性能,是整个系统中比较关键的模块。

4 比较器电路设计^[2]

为了克服共模噪声,电路中采用差分形式。比较器的两个输入节点为 VIN 和 VINR,在 VIN 节点上进行模拟输入信号 ANAIN 和 DA 输出值的逐次比较;在 VINR 节点上同时按相同时序和操作进行模拟输入共模信号 ANAIND 和 DA 输出共模信号 DAR 的处理。这样在 VIN 端操作的信号是正常的比较信号,而在 VINR 端提供 VIN 信号的共模噪声信号,可以提供比较高的共模抑制。

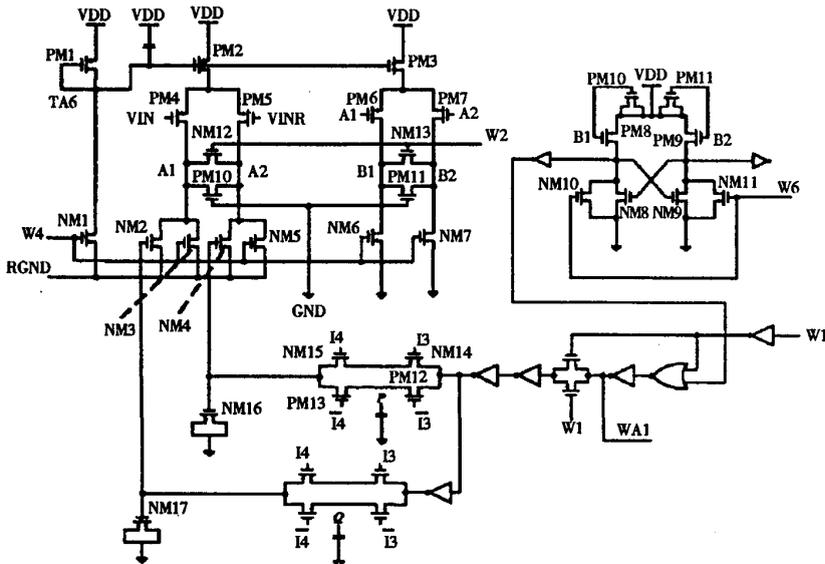


图 3 比较器电路

Fig.3 The circuitry of comparator

W3 在 P1、P4 相位中为电容的下极板充电, 提供比较器的直流工作点。

本比较器电路采用三级: 预放大级、中间放大级和末级 Latch。前两级放大器为 Latch 提供可识别的电位差, Latch 在时序控制下为寄存器提供数字信号。

预放大级和中间放大级的结构相似, 所不同的是预放大级有用于失配校准的负载管而中间放大级没有。

在预放大级中 PM2 管作为电流源, 输入差分对管是 PMOS 管 PM4 和 PM5, 负载管是 NMOS 管 NM2 和 NM4, NM3 和 NM5 也是预放大级的负载管, 作用是提供失配校准。第一级放大级的输出信号是 A1 和 A2。NMOS 管 NM12 由其栅上电压 W2 控制通断, 功能是主动箝位 (Active Clamp), 在 W2 为高电平时将 A1 和 A2 导通, 这样在下次进行比较时可以提高速度, 并且避免受前一次比较结果影响而产生错误。PMOS 管 PM10 的栅级接地, 功能是被动箝位 (Passive Clamp), 限制 A1 和 A2 的摆幅, 提高速度。当 A1 或 A2 中任何一个信号超过箝位管 PM10 的域值电压时, PM10 管导通, 使 A1 和 A2 恢复到较低的电位, 从而使摆幅减小。

PMOS 管 PM1 和 NMOS 管 NM4 组成电流镜基准电流源电路。在这个电路中第一级放大器、中间放大器以及电容补偿电路中的负载管都是由 W4 信号提供偏置。由于在电容补偿电路中需要

有良好的线性, 其中的负载管要求工作在深线性区, 这样 W4 的电压值比较大。在第一级放大器和中间放大器放大器中, 由于受到摆幅的限制, 输出的电压值比较小, 不超过被动箝位 PMOS 管的域值电压。这样第一级放大器和中间放大器的负载管也工作在线性区。因此比较器放大倍数不会很高, 但就放大功能已经足够把一个 LSB 的电压差放大到 Latch 可以识别的范围。

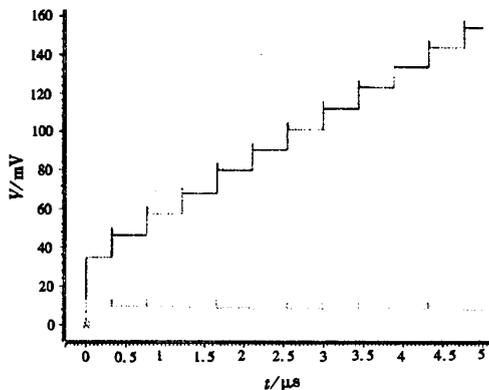


图 4 NM16、NM17 管栅压波形

Fig.4 The gate voltage waves of NM16 and NM17

图 4 为 NM16、NM17 电容上电压变化的波形图。由于比较结果为固定的 0 或 1, 电容持续充电或持续放电, 影响通过校准管的电流。

图 5 是失配校准后 NM16、NM17 电容上电压的变化情况。可以看出由于电容上的电压充放电

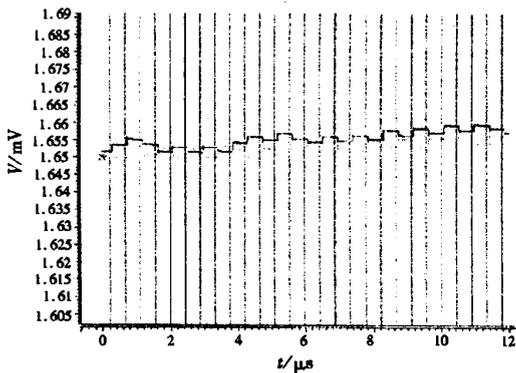


图5 校准完成后的波形

Fig.5 The calibrated complete waves

的次数相等,维持在某个电平上。

5 结论

模数转换器是模拟电路领域中相当重要的课题,其中的逐次逼近型模数转换器由于其性能比较折衷而得到广泛运用。

本文主要在分析 SAR ADC 基本结构和工作原理的基础上完成比较器的设计工作。同时运用 HSpice 模拟仿真获得了良好的效果。

参考文献:

- [1] Behzad Razavi, Design of Analog CMOS Integrated Circuit. International Editions 2000.
- [2] Donald J, Sauer. Preference Ladder Auto - calibration Circuit For an Analog to Digital Converter[J]. United States Patent, Patent Number: 5471208, Date: 1995. 12. 28.

Design and Analysis of An 10 - bit Successive Approximation ADC Based on CMOS Technics

JI Hong - bing

(Electronic Communication College, Nantong University, Jiangsu Nantong 226007, China)

Abstract: The successive - approximation analog - to - digital converter is widely used because of its eclectic capabilities. In this kind of converter, the speed and precision of comparator and digital - to - analog converter greatly affect the performance of the whole system. Therefore, the design of comparator with offset cancellation technology is the key to the SAR ADC. A comparator used in a 10 - bit SAR ADC is designed and presented in this paper. The author describes the architecture of this comparator in detail.

Keywords: successive - approximation ADC; comparator; digital - to - analog converter