

文章编号:1000-582X(2003)05-0125-04

FPGA/CPLD 可编程逻辑器件的在系统配置方法*

何伟,唐仁圣,张玲

(重庆大学通信工程学院,重庆 400044)

摘要:讨论了基于SRAM技术的CPLD/FPGA可编程逻辑器件的编程方法,并以ALTERA公司FLEX10系列器件为例,提出了一种利用微处理器对可编程逻辑器件进行在系统多方案配置的实用方法。该方法成本低廉、简单易行,能在系统复位或上电时自动对器件编程,不仅有效的解决了基于SRAM的CPLD/FPGA器件掉电易失性的问题,而且使单一芯片可以具有多种逻辑功能,实现了该类器件逻辑功能的在系统多方案的灵活配置。

关键词:复杂可编程逻辑器件;现场可编程门阵列;被动串行配置PS;静态存储器;电子设计自动化;在系统配置

中图分类号:TN47;TN79

文献标识码:A

可编程逻辑器件被广泛应用于复杂数字系统的设计中,基于SRAM工艺的可编程逻辑器件是目前应用最广的一种,它能够实现器件的在系统重构ISR(In System Reconfiguration)。因此对这类器件的在系统配置方法进行研究有重要的现实意义,希望选择一种简单易行而又经济有效的方法,并具有普通配置方法所不具备的优点——单芯片多方案配置。

1 基于SRAM的可编程逻辑器件的编程方法

高密度的可编程逻辑器件CPLD和FPGA,由于其可重新编程的特点,给设计的修改和系统的升级等带来了方便。目前可编程逻辑器件基本上以基于SRAM开关工艺和基于EEPROM工艺为主流。对基于EEPROM工艺的可编程器件,系统内重构是通过在系统编程ISP(In System Programmability)技术实现的,是一种静态逻辑重构,编程信息存放在EEPROM中,可以随时进行电编程和电擦除,器件掉电后逻辑功能不会丢失。对基于SRAM工艺的可编程器件,是通过ISR(In System Reconfiguration)编程技术实现的,即可以在系统运行期间,根据需要适时的对芯片重新配置以改变系统的功能,有的甚至可以只对器件的部分区域进行重组,而芯片的其它部分还可以正常工作,是一种在系统动态重构。因此基于SRAM工艺的可编程逻辑器

件具有极其广泛的应用前景,也是未来可编程逻辑器件的发展方向。业界很多公司的可编程器件,如ALTERA的FLEX10K、APEX系列,XILINX的Spartan-II系列等都是基于SRAM工艺的。但这类器件配置数据放在SRAM中,掉电后将丢失系统原有的逻辑功能,所以系统再次上电必须对SRAM重新加载配置数据^[1-3]。

对SRAM加载配置数据采用最多的就是采用下载电缆的配置方式,这种方法简单易行,只需直接将配置数据通过下载电缆由计算机下载至芯片,可以很方便地修改系统功能,因此被广泛应用在实际系统开发设计阶段。但对于已经设计完的应用系统,如果每次掉电后都要通过计算机下载配置会带来很多不便。因此,如果在对系统重新上电时,系统本身能自动加载可编程逻辑器件的编程文件,从而对可编程逻辑器件进行配置,这样就省去了通过手工由下载电缆对器件配置的过程。该方法的前提是必须在应用系统加上存储器保存器件的编程文件,以供系统自动加载时使用。方法的实现常用的有两种,以ALTERA公司的FLEX10系列器件为例:一种是采用主动配置的方法,即在系统对SRAM加载配置数据时,由可编程逻辑器件自身控制整个配置过程。FLEX10系列常用的主动配置是AS(主动串行)方式,即将编程文件存放在AL-

* 收稿日期:2002-06-25

作者简介:何伟(1964-),男,四川南充人,重庆大学副教授,硕士。主要从事电子系统设计的研究。

TERA 公司的 EPC 系列专用存储器中,在芯片上电时由 FLEX 器件控制整个配置过程,实现将编程文件串行地送到 FLEX 器件的 DATA0 脚进行配置,并在配置结束后自动进行器件的初始化过程,并进入用户状态。该方法简单方便,不需要其它的外围控制器,由 FLEX 器件自身引导整个配置过程,但是必须采用专用存储器放置配置数据,而对专用存储器的编程也需要专用的编程硬件,相对说成本较高;另一种是,采用被动配置(PS 或 PPA、PPS)的方式。编程文件可以放在通用程序存储器中,如 EPROM、EEPROM 或 FLASH 中,在 FLEX 器件上电后,由芯片外部控制器自动地从通用存储器中读出编程文件并送到 FLEX 器件进行配置,数据传送方式可以为串行,也可以为并行。串行传送时,即 PS 方式,配置数据送至 FLEX 的 DATA0 管脚;并行传送时,即 PPA 或 PPS 方式,配置数据送至 FLEX 器件的 DATA0 到 DATA7 脚。常用的外部控制器一般采用微控制器或 CPU 这样的智能主机,在采用微控制器配置时,如采用 MCS51 单片机,一般只使用一位宽的串行数据通道而不是字节宽的并行数据通道。该方法的优点是不必采用 ALTERA 的专用存储器,使用廉价的通用程序存储器就可以实现,这对需要大容量器件配置文件的场合,在降低成本上是非常有利的。该方法的另一个突出优点是,可实现单系统多方案的配置。因为数据的配置过程是通过外部智能控制器进行的,所以可以根据需要,在通用存储器中对单一系统存放多种功能的配置文件,再由外部控制器根据具体情况自动选择对芯片配置何种功能。这一优点是其它任何一种配置方法所不具备的。下面将探讨利用微处理器(8031)对 FLEX10 进行 PS 配置的方法。

2 用单片机对 FLEX10 系列器件进行 PS 配置

2.1 FLEX10K 系列器件的编程文件

对于同一个 FLEX 系列的器件而言,可以由开发软件生成不同种类的配置文件。对不同的配置方法应该采用相应的配置文件。

如果采用 ALTERA 专用编程硬件和下载电缆配置时,应该使用 SRAM 目标编程文件(*SOF),开发软件 QUATUS II 或 MAXPLUS II 能自动生成 SOF 文件,由软件控制配置顺序,并在配置文件加上一些头数据,用以进行差错检测等;在一些被动串行配置方式中,还用到原二进制文件 Raw Binary File(*RBF):开发软件在配置文件中都加入了一些额外的比特位,以供器件在配置结束后初始化进入用户状态使用。每个 RBF 文件字节是一个 8 位的配置数据,字节存放时必须

确保每个字节的 LSB 位被首先装载。可以将 RBF 文件存放在如 EPROM 等一些通用的存储器中,然后通过外围的微处理器或其他一些控制器件将存储器中的配置数据读出,并装载到器件中,即由 CPU 控制整个配置过程的时序。此外,还可以通过 CPU 实现实时的串并转换,这在 PPS 和 PPA 配置方式中用得较多。在 PS 方式中,CPU 只需要进行逐位的数据传输,但要注意的是必须是先传 LSB 位;其他还有一些不同种类的配置文件,如 *POF, *HEX, *TTF, *SBF 文件等。
*POF 文件(编程目标文件),该文件被 ALTERA 编程硬件写到 EPC 系列配置 EPROM 中,在采用 EPC 专用存储器进行 AS 配置方式的情况下使用; *HEX 文件是 INTEL 格式的十六进制文件,该文件一般用来编程工业标准的并行存储器,文件除包含必须的配置数据外,还有一些引导位、CRCA 位和填充字节,适用的配置方式有 PPS、PPA 等; *TTF 文件,是一种纯 ASCII 码文件,该文件的优点是它能够被任何汇编或高级语言编译器读出,这样就可以将 *TTF 文件包含在微处理器的原代码里,或者直接由 CPU 寻址存放 *TTF 文件的通用存储器; *SBF 文件是一种串行的位数据流文件,该文件在使用 BitBlaster 下载电缆进行 PS 配置时要用到。所有的这些不同种类的编程文件都可以通过软件由 SOF 文件进行转化得到^[4-5]。笔者所讨论的这种配置方法采用的编程数据是 RBF 文件。

2.2 FLEX 器件配置文件的大小和配置时间的估计

2.2.1 10K10 系列

配置文件大小估计: $10 \times 1.5 = 15 \text{ kbyte}$

配置时间的计算(PS 方式):

如果一个配置时钟周期配置编程文件的一个 bit 位,设采用 4 MHz 的配置时钟输入,则配置完 15 kBYTE 的文件所需要的时间是:

$$15 \times 1024 \times 8 \times 1/4 \text{ M} = 30.72 \text{ ms}$$

实际总的配置时间 = 上电复位时间 + 数据配置时间 + error/status 检查时间 + 富余时间 = 100 ms + 30.72 ms + (error/status check + 10 extra clock) = 150 ms

可以说,FLEX 的配置是可以在上电后瞬间完成的,这对 FLEX 器件的在系统重构(ISR)功能很重要。

2.2.2 10K100 系列

配置文件大小: $100 \times 1.5 = 150 \text{ kbyte}$

总的配置时间的计算方法与 10K10 系列类似。

2.3 PS 配置电路

应用 8031 单片机的 PS 配置连线图如图 1 所示^[5]。从图中可知,10K 系列在进行 PS 配置时主要涉及到 5 个重要的管脚: DCLK——配置时钟输入端;

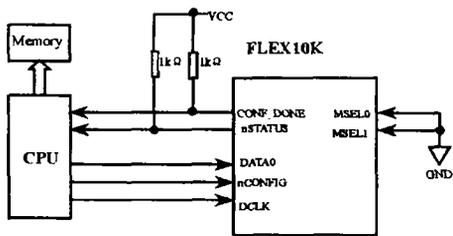


图 1 8031 PS 配置电路

DATA0——配置数据输入端;nCONFIG——配置控制位输入端;nSTATUS——配置错误指示位输出端;CONF - DONE——配置结束标志位输出端。

要注意的是,nSTATUS 和 CONF - DONE 管脚由于是双向漏极开路端口,所以在作输出使用时,应该经过 1.0 K 的电阻上拉至 Vcc。

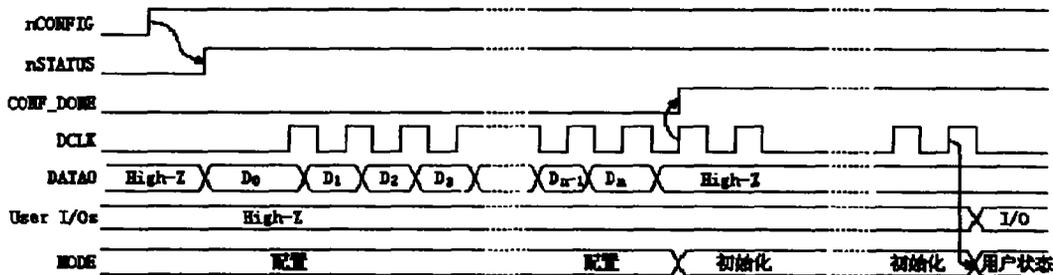


图 2 配置时序图

2.4 8031 微控制器 PS 配置工作原理

由 FLEX10K 芯片所决定的配置时序如图 2 所示^[5-6]。其工作原理如下:

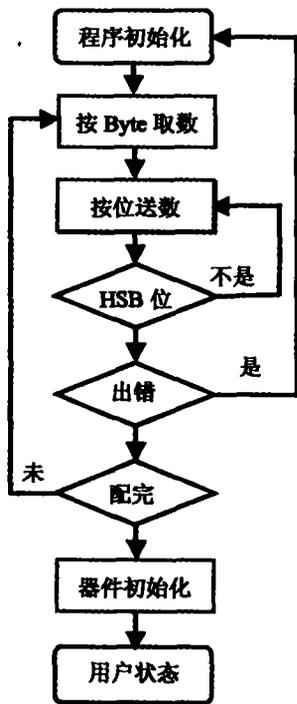


图 3 配置流程图

a) 先将 nCONFIG 引脚下拉至 GND 电平,保持 10 μs 后,再上拉至 Vcc。

b) CPU 从存储器中读出配置数据

c) 由 CPU 产生 DCLK 时钟信号,注意一般采用小于 6 MHz 的配置时钟。

d) 在 DCLK 时钟作用下,从低到高依次锁存配置

数据,并送至 FLEX 器件的 DATA0 引脚。

e) CPU 配置期间如果探测到 CONF_DONE 变高,说明器件已经配置结束,以后 CONF_DONE 引脚的由低到高跳变表示器件的初始化,器件进入用户状态。如果 CPU 探测到 nSTATUS 引脚变低,说明配置过程发生错误,需要重新启动配置过程。

2.5 8031 实现配置过程的控制程序如下:

a) 程序流程图:如图 3 所示。

b) 汇编程序设计:

```

; 8031 引脚分配: P1.0 -- DCLK (输出)
; P1.1 -- CONF_DONE (输入)
; P1.2 -- nCONFIG (输出)
; P1.3 -- nSTATUS (输入)
; P1.4 -- DATA0 (输出)

```

源程序:

```

ORG 0h
RESET: AJMP START
ORG 30h

```

START: CLR EA

MOV P1, #0H

MOV DPTR, #CODE0; 找配置数据的起始地址

SETB P1.2; nCONFIG 信号由低变高,开始配置过程

CODEMODE: MOV A, #0H

MOV R1, #08H

MOVC A, @A + DPTR

```

AGAIN:RRC A      ;逐位送数据,LSB 位
                ;先送
MOV P1.4,C
SETB P1.0
CLR P1.0
DJNZ R1,AGAIN  ;已送 HSB 位?
INC DPTR;
MOV A,P1
ANL A,#08H     ;查 nSTATUS 位,是否
               出错
JZ START
MOV A,P1
ANL A,#02H     ;查 CONF_DONE 位,
               是否配完
JZ CODEMODE
LJMP INITIAL
INITIAL:
;器件初始化程序段
;
;
;

```

END

3 结 论

该方法能真正实现在系统自动配置、单芯片多方案的配置及具有低成本的特点。

参考文献:

- [1] 宋万杰,罗丰,吴顺君. CPLD 技术及其应用[M]. 西安:西安电子科技大学出版社,2000.
- [2] 庞小红. FPGA 的装置与动态重构[J]. 通信与广播电视, 2000,(3):7-13.
- [3] VERMA H. Field programmable gate arrays[J]. IEEE Potentials, 1999,18(4): 34-36.
- [4] 袁文国. 多片大规模可编程器件的配置应用——基于 ALTERA 器件[J]. 西南民族学院学报(自然科学版), 2000,26(4):381-384.
- [5] 徐以书. 用 PowerPC860 实现 FPGA 配置[J]. 单片机与嵌入式系统应用,2002,(10):30-33.
- [6] Configure SRAM - Based LUT Devices[z], ALTERA Application Note 116, February 2002, ver. 3.0.

CPLD/FPGA Programmable Logic Devices' In System Reconfiguration Method

HE Wei , TANG Ren-sheng , ZHANG Ling

(College of Communication, Chongqing University ,Chongqing 400044 ,China)

Abstract: This article has discussed the methods of configuring the CPLD/FPGA devices based on SRAM, and choose the microprocessor to configure the FLEX10k devices of ALTERA. From the article, we can see that this low-cost and easy-done method can enable the system to configure the CPLD/FPGA devices automatically as soon as the system is reset or power is re-added to it. It has solved the problem that CPLD/FPGA devices based SRAM may lose its logic function when dropped out of power, and it enables the single chip to have several functions.

Key words: CPLD; FPGA; passive serial configuration (PS); SRAM; EDA; ISR

(责任编辑 吕蓉英)