

文章编号: 1000-582X(2003)01-0045-05

基于 I/O 传送的 PCI 总线控制器的设计

杨捷, 罗钧

(重庆大学光电技术及系统教育部重点实验室, 重庆 400044)

摘要:随着微处理机性能的迅速提高以及多媒体技术和高速网络的不断发展,人们对微机系统的 I/O 带宽提出了越来越高的要求,原有的标准总线如 ISA、EISA 和 MC 已逐渐不能胜任现代技术的要求。在这种情况下,PCI 总线便应运而生,并迅速成为微机中的主流标准总线。现有的 PCI 总线控制器的实现方法有:采用专用芯片和可编程逻辑芯片。笔者在对 PCI 系统结构粗略介绍的基础上,用一块 Lattice 1032E 可编程逻辑芯片设计出一个基于 I/O 传送的 PCI 总线控制器。仿真分析表明,该设计是成功的。

关键词:可编程逻辑芯片; I/O 传送; 总线控制器

中图分类号: TP336

文献标识码: A

PCI 总线是应高速 I/O 传送带宽的要求而出现的, 并以其优越的性能迅速成为 PC 总线新一代标准。最近出的主板中, 已经取消了 ISA 总线。因此, 一些老的 ISA 板卡必须升级为 PCI 板卡, 才能免遭淘汰。笔者采用 Lattice 公司的 ispLSI1032E 芯片, 在 ispEXPERT Synario System 开发平台上, 成功实现 ISA 数据采集卡向 PCI 数据采集卡的升级^[1-2]。

1 PCI 总线概述

1.1 PCI 总线的产生

随着微处理机性能的迅速提高以及多媒体技术和高速网络的不断发展,人们对微机系统的 I/O 带宽提出了越来越高的要求,原有的标准总线如 ISA、EISA 和 MC 已逐渐不能胜任现代技术的要求。在这种情况下,PCI 总线便应运而生。目前已发表了 PCI2.2 技术规范,并在微机领域得到了广泛的响应,成为新一代的标准。

1.2 PCI 总线的基本特点^[3]

PCI 总线是一种采用 32 位猝发式传输的局部总线 (Local Bus), 它使用独立于处理机的 33 MHz 时钟, 峰值传输速率 132 MB/s, 64 位扩展时可达 264 MByte/s, 完全可以满足高速图形传递和高速网络的带宽需要。

PCI 总线的主要特点有:

1) 处理机无关性: 总线与处理机无关, 通过改变主

桥路可支持多种处理机;

2) 低成本: 技术规范满足 ASIC 要求, 有利于直接连接各种专用芯片, 减少成本;

3) 自动配置: 每个 PCI 设备上留有 256 个字节的配置空间, 以实现自动配置功能;

4) 长寿命: PCI2.2 规范中, 对于工作在 66 MHz 的工作频率下的 64 位扩展板卡作出严格的规定, 并制定 5 V 向 3.3 V 的过渡标准。同时也规定了 PCI 卡的热插拔技术规范。

一个典型的 PCI 总线系统的结构框图如图 1 所示。

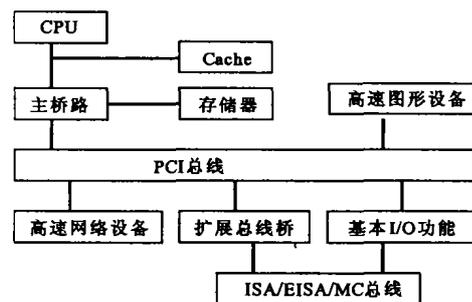


图 1 PCI 系统结构图

PCI 总线通过主桥路(即 PCI/存储器/CPU 的控制器, 通常称之为 PCMC)与处理机相连, 同时又通过一个扩展总线桥(通常称之为 PCEB)接出一个标准 I/O 总线, 这条总线可以是 ISA、EISA 或 MC 总线, 从而能够继续利用现

• 收稿日期: 2002-09-17

作者简介: 杨捷(1978-), 男, 湖南新邵县人。现在珠海光联公司任职。主研方向: 机械电子工程。

** 本文曾被评为重庆大学及重庆市优秀毕业设计论文。

有的 I/O 设备,最近出的主板中,这一部分已经取消。因此原有的老 ISA 板卡必须升级成 PCI 卡。

1.3 PCI 信号及操作特点

为节省引脚,降低成本,PCI 的总线信号采用了复

用技术。表 1 中列出了 PCI 总线中必要的、最常用的的一些信号。

表 1 PCI 常用信号说明

信号名称	信号意义说明
CLK	总线时钟,最高为 66 MHz
RST #	总线复位信号
AD[31:0]	地址和数据复用线,在地址期为 32 位地址,数据期为 32 位数据
C/BE # [3:0]	总线命令和字节使能复用线,在地址期为总线命令,在数据期为哪些字节包含有效数据
FRAME #	帧信号,由当前主设备驱动,表示一次访问的开始和持续期
IRDY #	主设备准备就绪信号,在写周期,表示数据线上的数据已可用;在读周期,表示主设备已准备好接受数据
TRDY #	目标设备准备就绪信号,在读周期,表示有效数据已提交到数据线上;在写周期,表示目标设备已准备好接受数据
STOP #	表示当前目标设备要求主设备停止对话
IDSEL	设备初始化选择信号,在读写自动配制空间时用作片选
DEVSEL #	设备选择信号,由目标设备驱动,表示总线上是否有设备选中
REQ #	总线请求信号,向仲裁器表明本设备要求使用总线,主设备必须有该线
GNT #	仲裁器驱动,向申请访问总线的设备表示,访问已被批准
PAR	奇偶校验信号,通过 AD 线和 C/BE # 线进行校验

说明:除了表中列出的信号外,还有一些可选信号,但用的少,故不再表述。

PCI 对协议、时序、负载、电器特性及机械特性等技术指标均有严格的规定和要求,下面简要介绍一下 PCI 总线的基本操作特点:

- 1)基本的总线传输机制是:一次突发传输包括一个地址期和一至若干个数据期;
- 2)除 RST #、INTA #——INTD # 之外的所有信号都是在时钟上升沿采样;
- 3)PCI 总线上所有的数据传输基本上都是由三条信号控制,即 Frame #、Irdy # 和 Trdy #;
- 4)当 Frame # 和 Irdy # 都无效时,接口处于空闲状态。Frame # 信号建立之后的第一个时钟前沿是地址期,在这个时钟前沿上传送地址和总线命令;下一个时钟前沿开始一个或若干个数据期。每逢 Irdy # 和 Trdy # 都有效的时钟前沿就进行一次数据传输。
- 5)无论是主设备还是目标设备,一旦承诺了数据传输,就要进行到本次传输完成;
- 6)Frame # 撤消而 Irdy # 建立,表示主设备准备好了最后一次数据传输,等到目标设备发出了 Trdy # 信号,就标志着最后一次传输的完成。

1.4 PCI 总线配置空间简介^[4]

PCI 协议定义了 3 个物理空间:存储器空间、I/O 空间和配置地址空间,其中存储器空间和 I/O 空间和以前的 ISA 总线规范相同,PCI 设备既可以映射到存储器空间,也可以映射到 I/O 空间,这取决于配置寄存器的内容。配置空间是 PCI 所特有的,它极大地增强

了 PCI 设备的灵活性。对 3 个物理空间的操作指令由地址节拍的 BE[3:0]译码而得,对于存储器空间和 I/O 空间的操作,总线在猝发模式下继承了旧总线的寻址方式。而对于总线特有的配置空间的操作,PCI 定义提供全部软件初始化和配置分区地址空间 PCI 为实现其系统配置的优越性,要求所有的 PCI 设备必须提供系统软件可以利用的功能。所以,每个 PCI 功能设备按要求都具有 256 个 bit(至少是前 64 个 bit)的配置空间,这 256 个字节的配置空间有一个预定义 64 个 bit 的头域,其中以设备特定的格式存储着设备支持的功能,在 POST 阶段系统通过访问配置空间来进行自动配置。

1.5 基本读写操作时序

PCI 总线的基本传输规则是突发传送方式,PCI 总线传输周期由一个地址段加上一个或多个数据段构成,基本的 PCI 输出是由 Frame #、Irdy #、Trdy # 3 个信号控制。图 2 和图 3 是 PCI 总线的基本读写操作时序。

从图 2 和图 3 可以看出,读/写操作时序基本相同,唯一的区别在于:读操作中,地址期和数据期之间需要过渡周期,而写操作不需要。这是因为前者的地址和数据是由不同的设备发出,为防止总线冲突,必须具有过渡周期;后者是 PCI 总线同一设备发出,就不会出现总线竞争问题,所以不需过渡周期。

另一方面,图 2 和图 3 也表明了 PCI 总线各个信号的时序配合规范,换言之,在接口电路的设计过程

中,相应信号间的时序关系必须与图 2、图 3 相符合。

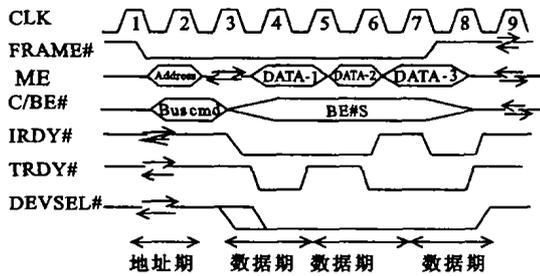


图 2 PCI 总线基本读操作

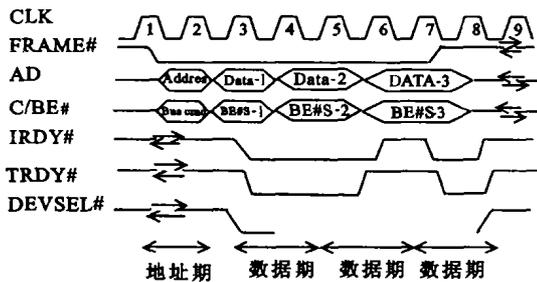


图 3 PCI 总线基本写操作

2 PCI 总线接口电路的设计

2.1 PCI 总线接口电路的实现方法

PCI 总线接口电路大体有两种实现方法:使用可编程逻辑芯片或专用芯片,二者各有优缺点。^[6-7]

1) 专用芯片实现通用 PCI 总线接口:世界范围内,现有多家 ASIC 厂商提供专用芯片,如:AMCC 公司的 S5933 系列,PLX 公司的 9080 系列。专用芯片可以实现完整的 PCI 主控模块和目标模块的接口功能,将复杂 PCI 总线接口转换为相对简单的用户接口。厂商对 PCI 总线接口进行了严格的测试,用户只要设计转换后的总线接口即可。这样,用户可以集中精力于应用设计,而不是调试 PCI 总线接口,明显的缩短了开发周期。它的缺点是用户实际只用到了部分的 PCI 接口功能,这样造成一定的逻辑资源浪费,对于大批量生产的产品不易降低成本。

2) 可编程逻辑器件实现通用 PCI 接口:采用 CPLD 或 FPGA 的优点在于其灵活的可编程性,首先 PCI 接口可以根据插卡功能进行最优化的电路设计,而不必实现所有的 PCI 总线的功能,这样可以节约系统的逻辑资源。其次可以将 PCI 插卡上的其它用户逻辑与 PCI 接口逻辑集成在一块芯片上,实现紧凑的系统设计。再者当系统升级时,只需对可编程逻辑器件重新进行逻辑设计,而无须更改 PCB 板。

许多可编程逻辑器件生产厂商都提供经过严格测

试的 PCI 功能模块,由用户进行简单的组合设计即可。如: Xilinx 公司的 LogicCore, Altera 的 AMPP (Altera Megafunction Partners Program) 等等,当然这些功能模块价格昂贵,通常为上万美元,如果产品批量很大,采用现成的模块可以缩短设计周期,成本亦随之降低。否则由自己自行设计,难度较大,必须对 PCI 协议有较深刻的理解,同时还需一定可编程逻辑设计的功底以及扎实电路设计基础。

2.2 PCI 接口电路对逻辑器件的要求^[8]

PCI 总线接口设计与 ISA、STD 总线接口设计有较大的差别,必须严格遵守 PCI 总线协议、电子技术规范,一般的集成电路不宜作 PCI 接口电路,PCI 总线是 CMOS 总线,在传输信号消失后,稳态电流是很小的,大多数电流消耗在上拉电阻上,PCI 总线基于反射波信号而不是入射波信号,总线无终端的特性导致传输线终端的反射波与入射波叠加后达到所需电平值。PCI 规范要求集成电路的引脚有上拉电阻以防止振荡或在输入缓冲器上的功率消耗。除此之外要求芯片的输入引脚有箝位功能,PCI 对复杂可编程逻辑器件的功能要求如下:

- 1) 芯片引脚具有上拉电阻;
- 2) 专用输入和 I/O 引脚具有箝位功能;
- 3) PCI 要求输入电容小于 10pF,时钟和 I/O 引脚小于 12 pF;
- 4) PCI 标准对器件有严格的要求,最短信号建立时间为 7 ns。

美国 Lattice 公司的 ispLSI2000E 系列器件具有 PCI 兼容特性,有 5 V 和 3.3 V PCI 兼容 I/O 端口,器件的 I/O 引脚具有可编程的上拉电阻,对专用输入引脚和 I/O 引脚均有箝位功能,器件能工作于过冲与下冲情况。器件引脚的输入电容为 8 pF,时钟和 I/O 引脚为 10 pF,建立时间 4 ns。完全达到了 PCI 总线的规范要求,因此是理想的实现 PCI 接口的芯片。

2.3 PCI 接口电路的原理框图设计

由 PCI 协议可知:PCI 总线不能直接跟用户电路相连,因此必须设计一个接口电路。此接口电路完成数据、地址信号的传输,命令信号的译码,状态信号的转换,其原理框图如图 4 所示:

在图 4 所示的框图中,必须注意的是:PCI 总线册的电路信号在进入用户电路之前,必须先经过一个缓冲器,其后的电路设计同一般的电路设计要求相同。

在 PCI 总线接口电路的设计中,采用的是: Verilog HDL 的输入设计方法 Verilog HDL 的语法和句法类似与 C 语言,学习也较容易。该电路中共用到的功能模

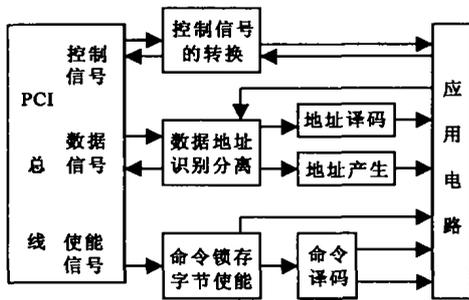


图4 PCI接口电路的原理框图

块如图5中所示。

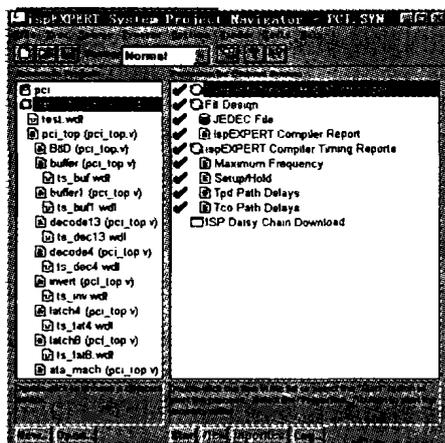


图5 PCI总线控制器电路设计完成后的ispEXPERT界面

本设计的核心是一个状态机,各种命令、数据交换、控制均在状态机的管理下工作。图6是根据PCI接口电路的功能画出的状态图。在每种状态下,PCI总线上的信号是并行工作的,因此,对应每个状态必须明确其执行的任务。

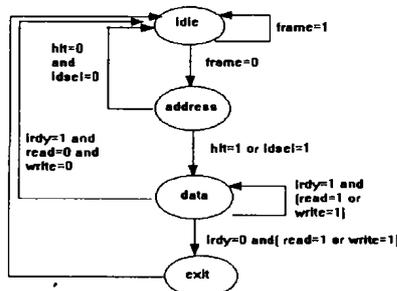


图6 PCI总线接口电路核心

该状态图是以PCI总线的时钟:Clock为基准时钟的时序状态控制图。除了复位信号外,其它信号都在Clock的上升沿采样。该状态图的具体说明如下:(注:下面的电路信号中,有“#”的是低电平有效)

当系统进入上电状态或复位时,该系统转入idle状态,同时各个信号都为复位状态。

当检测到帧信号: frame # 有效时,系统转入 addr 状态,并在下一时钟上升沿锁存地址信号,以便进行地址译码;

锁存系统命令信号,同时进行命令译码。其它的信号状态不改变。

在后续时钟上升沿,当检测到片选信号 cs 有效时,系统转到: data 状态,在 data 状态中,使能 devsel # 信号,即用户电路端发出找到端口的信号;其它信号不变。否则进入 idle 状态,即系统不是对该 PCI 卡进行读写操作。

在进入 data 状态之后,当检测到 irdy # 信号有效时,如果命令译码信号发出 read 或 write 有效,则在下一时钟上升沿进入 exit 状态;同时如果是 read 有效,则发出 read-t 有效信号去读取端口数据;如果是 write 有效,则发出 write-t 有效信号向端口写数据。如果是: irdy # 有效信号没有到来,则停留在: data 状态中,继续等待系统发出的: irdy # 有效信号。如果不是对本端口的 I/O 读、写信号则转入 idle 状态。

3 仿真分析

在完成PCI总线接口电路的设计之后,便对各个功能模块的波形测试,如图5所示。在各个电路模块之后,都带有一个*.wdl文件,该文件便是对各个功能模块的测试波形。

图7是对整个PCI总线接口的功能模拟。其具体过程如下

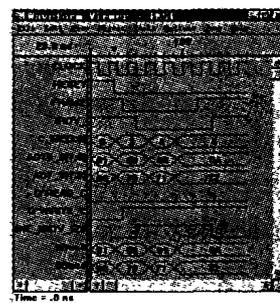


图7 PCI总线接口功仿真图

当需要进行 I/O 传送数据时,发出 Frame # 帧有效信号,通知各端口将要进行数据读写操作。

接着发出地址信号和命令信号,各个端口的译码电路分别对地址和命令进行译码,以确认是否对本端口进行读写操作。

在这次读写操作中,发送的地址信号是:0870H。

各译码器译码后,确认是对本 PCI 端口进行操作,即刻发出设备选通信号,通知 CPU 本端口已准备好进行数据读写。同时进行命令译码,以确认进行何种操作。

这时,PCI 桥路发出 *iridy* # 主设备准备好信号,作为目标设备的应答信号。并在地址、数据复用线上发出所要传送的数据。

当目标设备发出 *trdy* # 目标设备准备好传送数据时,这时便开始数据的传送。

随着 *Frame* # 信号的无效,这时便结束这次数据的传输任务。

4 结 语

由以上的仿真分析可知:基于此状态机为核心的 PCI 接口电路的设计理论是正确的,仿真分析表明,该电路的设计是成功的。

集成电路已进入片上系统时代,基于芯片的在系统编程技术是电子设计自动化的必然趋势。PCI 总线接口电路的设计已成为广大 ISA 板卡电路设计者所面临的一个亟待解决的课题,本文正是在这种情况下而

完成的,对于计算机中 PCI 接口电路的设计有一定的应用和推广价值。

参考文献:

- [1] 夏宇闻. 复杂数字与系统的 Verilog HDL 设计技术[M]. 北京: 航空航天大学出版社, 1998.
- [2] 刘为仁, 万海. 在系统编程技术及其器件原理及应用[M]. 西安: 西安电子科技大学出版社, 1999.
- [3] 王汝言, 游敏慧. 计算机 PCI 总线及其接口电路的设计[J]. 数字通信, 1999, (4): 56-58.
- [4] 蒋志芳, 曾凡太. PCI 总线配置空间的设备定义[J]. 计算机应用, 1997, 17(1): 45-46.
- [5] 李贵山, 康继昌. PCI 总线扩展板的设计[J]. 计算机研究与发展, 1999, 34(10): 721-725.
- [6] 于淑萍. ISP 技术与现代数字系统设计[J]. 计算机工程, 2000, 26(4): 1-3.
- [7] 王锁萍. 电子设计自动化(EDA)教程[M]. 成都: 电子科技大学出版社, 1999.
- [8] 陈恒. PCI 控制器的设计与实现[J]. 电子技术, 2000, 26(1): 34-37.

Design of PCI Bus Controller Based on I/O Transmit

YANG Jie, LUO Jun

(Key Laboratory of Optoelectronic Technology and systems of the Education
Ministry of china, Chongqing University, Chongqing 400044, China)

Abstract: With the microcomputer improving and multimedia and wideband network developing. the I/O bandwidth requires more and more. The last standard bus, for example, ISA, EISA and MC can not be satisfied with the demand of the modern technology. In this case, the PCI bus appears, and become the master standard bus. Now there are two methods to realize the PCI Controller circuit, which are the special chip and the programming logic chip. The PCI system structure is introduced, and a PCI Bus Controller is Fealized based on the I/O transmit through using a Lattice1032E chip. Which has proved successful by application.

Key words: periphery component interconnect; programming logic chip; I/O transmit; bus controller

(责任编辑 吕赛英)